

## Semi/custom design

1

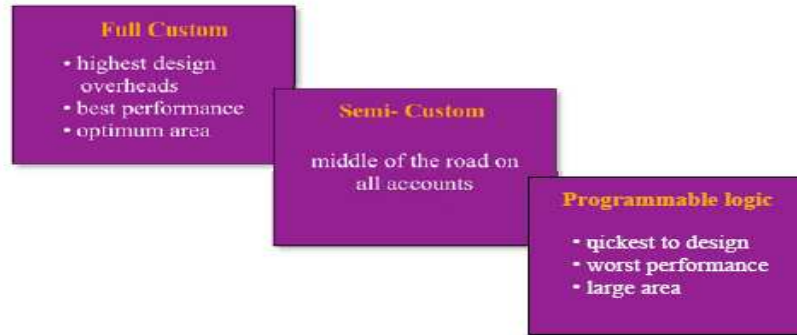
## Ograničenja u projektovanju:

Zavise od kompleksnosti i strukture projekta, ali generalno su:

- vreme projektovanja,
- osobine (brzina),
- površina,
- snaga.

2

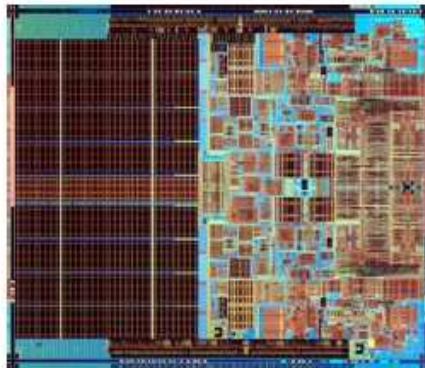
## Izbor pri projektovanju:



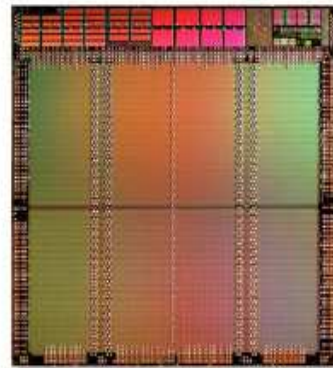
Choice depends upon application

3

## Primeri:



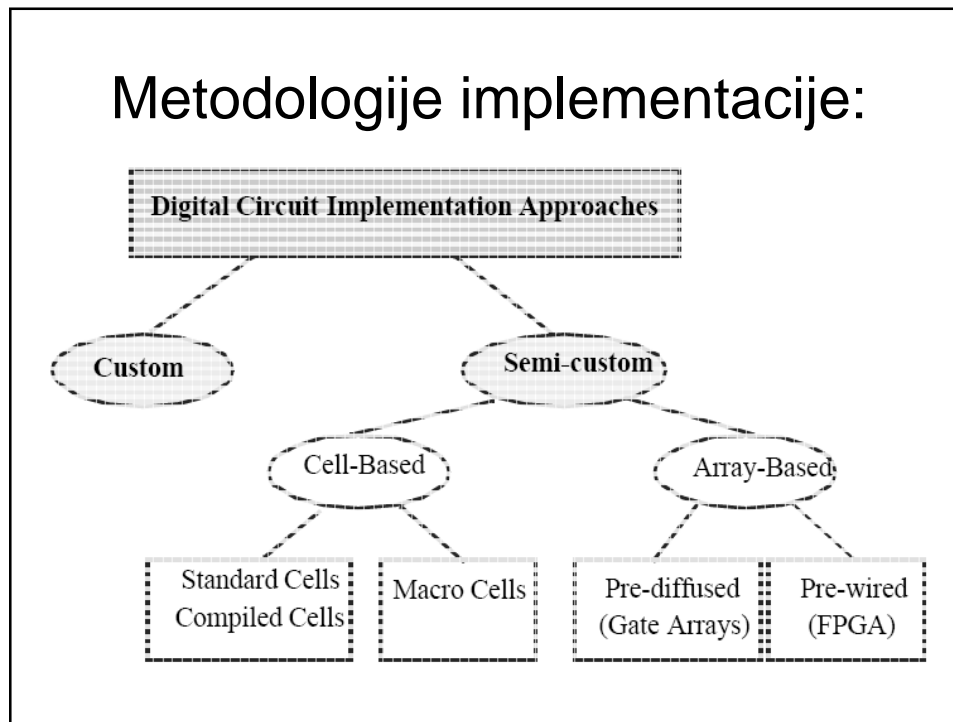
Intel Core 2 Duo Processor  
irregular 'custom' design  
- very complex



Excalibur FPGA  
regular design – many identical  
functional blocks

4

## Metodologije implementacije:



### Koraci u projektovanju:

#### Designer

Architect

Logic Designer

Circuit Designer

Physical Designer

#### Tasks

Define Overall Chip  
C/RTL Model  
Initial Floorplan

Behavioral Simulation  
Logic Simulation  
Synthesis  
Datapath Schematics

Cell Libraries  
Circuit Schematics  
Circuit Simulation  
Megacell Blocks

Layout and Floorplan  
Place and Route  
Parasitics Extraction  
DRC/LVS/ERC

#### Tools

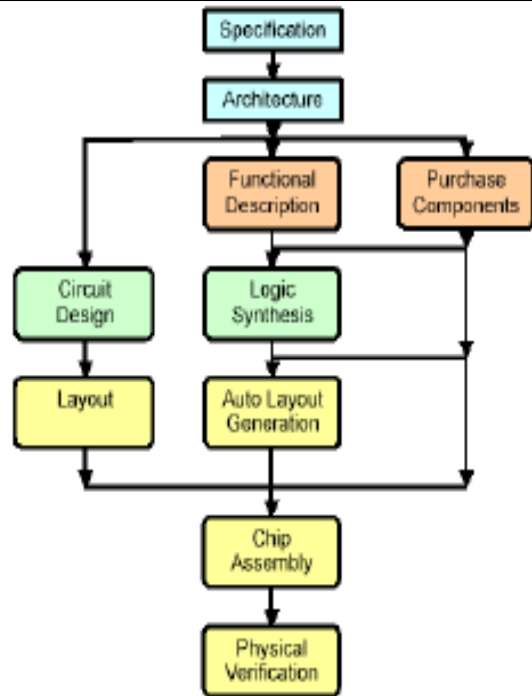
Text Editor  
C Compiler

RTL Simulator  
Synthesis Tools  
Timing Analyzer  
Power Estimator

Schematic Editor  
Circuit Simulator  
Router

Place/Route Tools  
Physical Design  
and Evaluation  
Tools

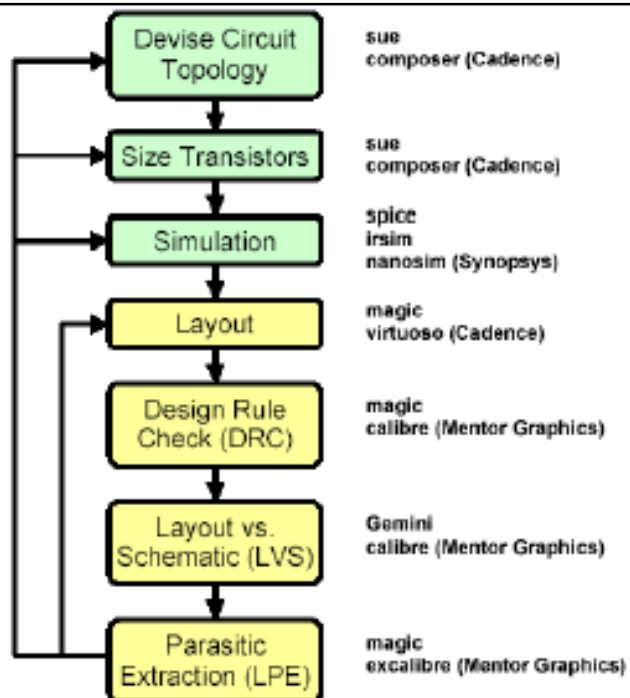
## Metodologije i tok projektovanja



- Leva grana: full custom
- Srednja grana: ASIC
- Desna grana: SOC

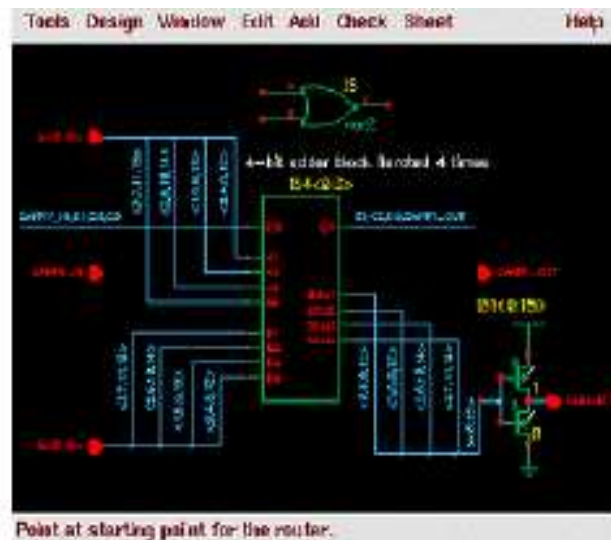
## Projektovanje potpuno po narudžbini (full custom):

- Ima najbolje osobine
- Zahteva najviše posla



## Schematic Capture / Simulation

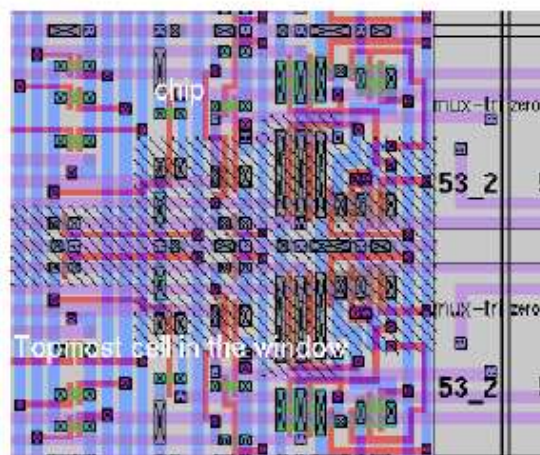
- Kolo crtano na nivou tranzistora, gejta i bloka,
- Blokovi se mogu rekursivno smeštati jedan unutar drugog,
- Pomoćni programi generišu netlistu za simulator



Cadence Virtuoso Schematic Composer

## Layout:

- Crtanje i razmeštanje tranzistora za sve elemente u šemi,
- Preuredjivanje tranzistora da bi se minimizovala dužina veza.
- Povezivanje svih elemenata slojem veza,
- Hijerarhija layout-a treba da se slaže sa hijerarhijom u šemi.

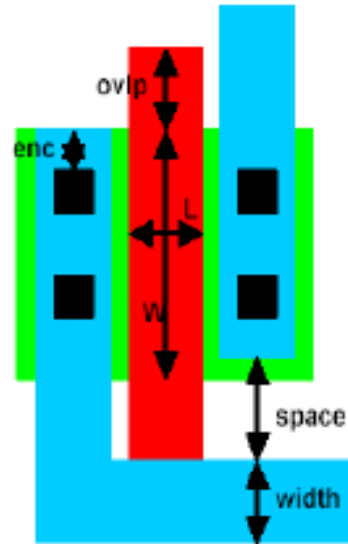


## Provera pravila projektovanja (Design Rule Checking, DRC):

Proveravaju se:

- širina
- rastojanje,
- površine,
- preklapanje

Nezadovoljavanje pravila se obeležava.

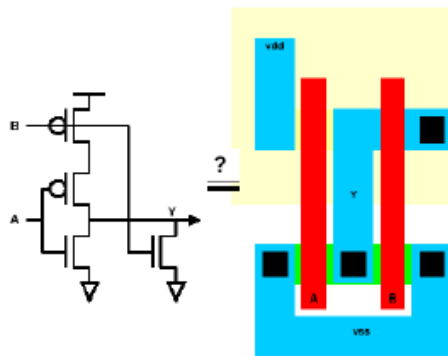


## Layout i šema:

Izdvađa se netlista layout-a analiziranjem preklapanja pravougaonika;

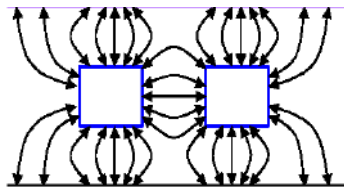
Poređi se generisana netlista sa netlistom originalne šeme;

Kada se pojavi neslaganje, pronalazi se lokacija na kojoj je generisano odstupanje.



## Izdvajanje parazitnog delovanja u layout-u:

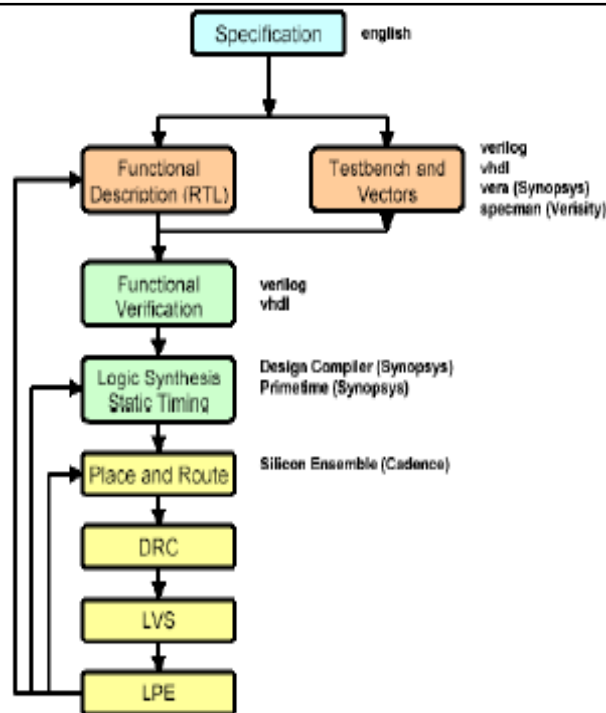
- Procenjuju se kapacitivnosti izmedju struktura layout-a.
- Izračunava se otpornost veza.
- Izlaz je ili netlista simulacije ili fajl sa kašnjenjima medju blokovima.



13

## ASIC design:

- Različiti timovi projektuju i verifikuju;
- Fizičko projektovanje je (semi) automatsko;
- Petlje do postizanja pravilne brzine rada mogu biti zamorne.

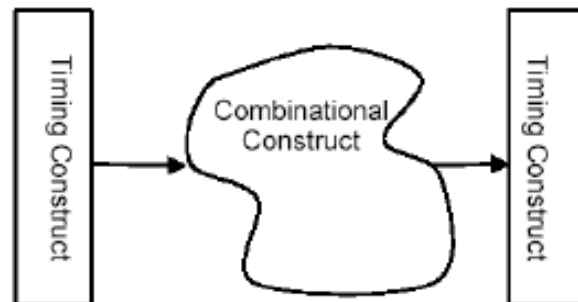


14

## Register Transfer Level (RTL)

Delovi od kombinacionih kola razdvojeni delovima koji odredjuju timing.

Definiše se ponašanje dela pri svakom taktnom impulsu.



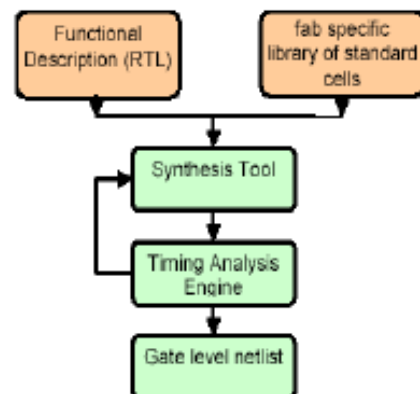
15

## Logička sinteza:

- Kombinacione funkcije prevode se u standardne ćelije (gejtove) iz fabrički specificirane biblioteke.

- Timing se postiže standardnim ćelijama flipflopova/lečeva.

- Pokušava se da se minimizuje kašnjenje i površina rezultujuće logike.

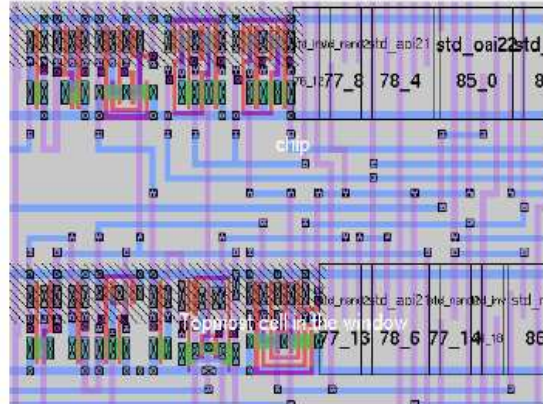


16



## Razmeštanje i povezivanje standardnih ćelija:

- Smestiti layout svakog gejta (ćelije) projekta u blok.
- Preurediti layout-e ćelija da bi se minimizovalo povezivanje.
- Povezati ćelije.



17

## Sklapanje čipa:

- Integrirati blokove iz prethodnih koraka u finalni layout.
- Ključno je rano planiranje razmeštaja.*



## Komponente IK:

### Standardni delovi

- mogu se selektovati iz kataloga i kupiti od distributera,
- mogu se koristiti u raznim sistemima.

19

## Tipovi ASIC kola:

- Full-custom ASICs.
- Standard-Cell-Based ASICs.
- Gate-Array-Based ASICs.
  - Channeled Gate Array
  - Channelless Gate Array
  - Structured Gate Array
- Programmable Logic Devices
- Field-Programmable Gate Arrays

20

## Full-custom ASICs:

Svi slojevi maski su projektovani u skladu sa kolom.

Stvoren je osećaj da full-custom IC treba projektovati samo ako nema biblioteke.

Full-custom projekat daje najbolje osobine i najmanju cenu (najmanju površinu peleta) ali sa povećanim vremenom projektovanja, kompleksnošću, cenom projektovanja i najvišim rizikom.

Čak i mikroprocesori danas se projektuju ASIC tehnikama.

Primeri kada je potrebno projektovati specijalno kolo (full-custom ili ASIC) su zahtevi za rad pri visokom naponu (automobil), A/D (komunikacije), ili senzori i aktuatori.

21

## Standard-Cell-Based ASICs (CBIC):

ASIC bazirani na ćelijama

- koriste unapred projektovane logičke ćelije (AND, OR, MUX, flipflopove)

- mogu se koristiti zajedno sa većim unapred projektovanim ćelijama,

- mikrokontrolerima, mikroprocesorima, megaćelijama.

Projektant ASIC kola definiše samo razmeštaj i veze.

*Svi slojevi maski su specifični za kolo.*

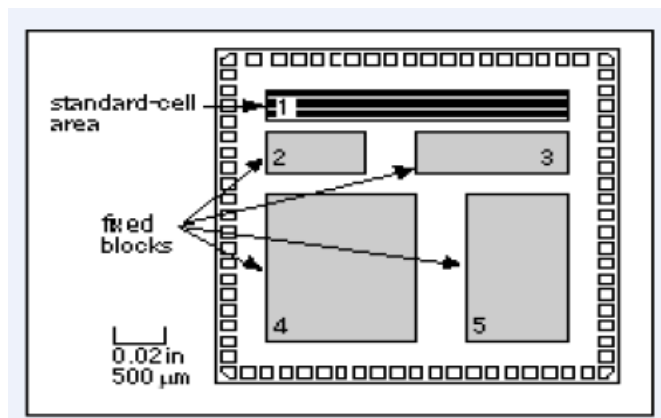
22

## Standard-Cell ASICs:

- Mogu se ugraditi korisnički blokovi.
- Izrada traje oko osam nedelja.
- Prednost: štedi vreme i novac, smanjuje rizik korišćenjem unapred projektovanih, unapred testiranih, unapred karakterisanih ćelija iz biblioteke standardnih ćelija.

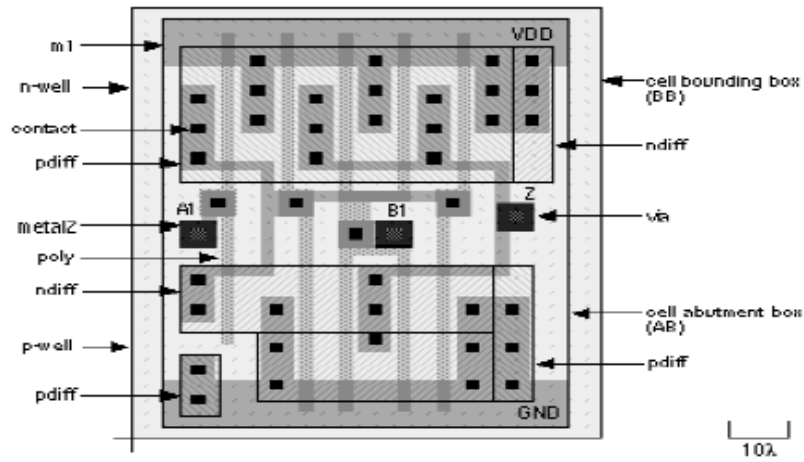
23

## Standard-Cell-Based ASIC:



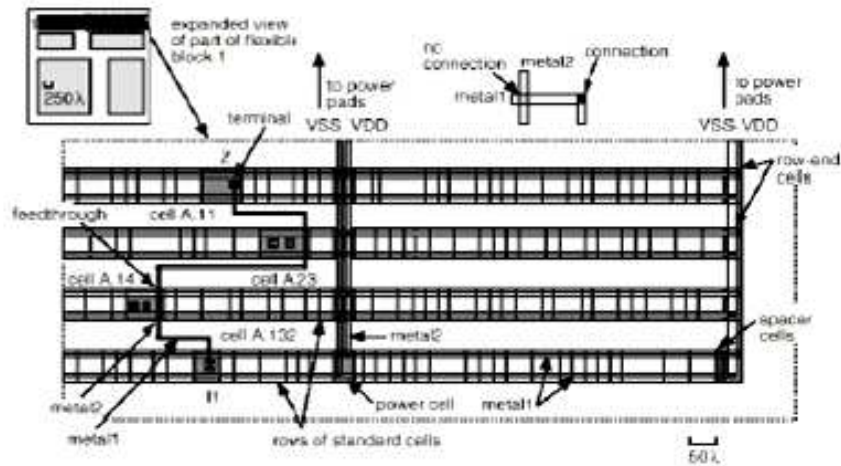
24

## Standard-Cell Cell-Based ASIC - Layout standardne ćelije:



25

## Standard-Cell-Based ASICs:



26

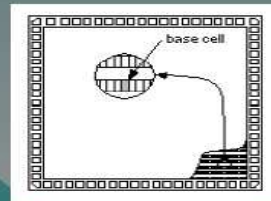
## Gate-Array-Based ASIC:

- Transistor are predefined --- Base array of base cell or primitive cell
- interconnect of transistors -- top level metals are left for ASIC designers
- Turnaround time reduced to a few days, or weeks
- Initial fabrication costs shared among customers

27

## Gate-Array-Based ASIC:

- Channeled Gate Array
  - only interconnect is customized
  - predefined spaces between rows of base cells
  - lead time between two days and two weeks

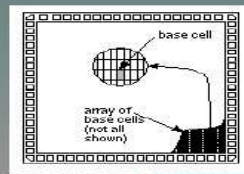


2003-1-25

28

## Gate-Array-Based ASIC:

- Channelless Gate Array
  - Only some mask layers are customized
  - lead time between two days and two weeks
  - no predefined area set aside for routing



Channelless gate array

2003-1-25

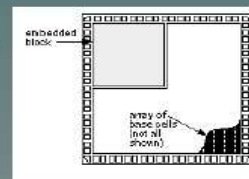
Junjun Zhang, University of California, Riverside

51

29

## Gate-Array-Based ASIC:

- Structured Gate Array
  - Only the interconnect is customized
  - Custom blocks can be embedded
  - lead time between two days and two weeks
  - Improved area efficiency and increased performance of a CBIC
  - Lower cost and faster turnaround of an MGA



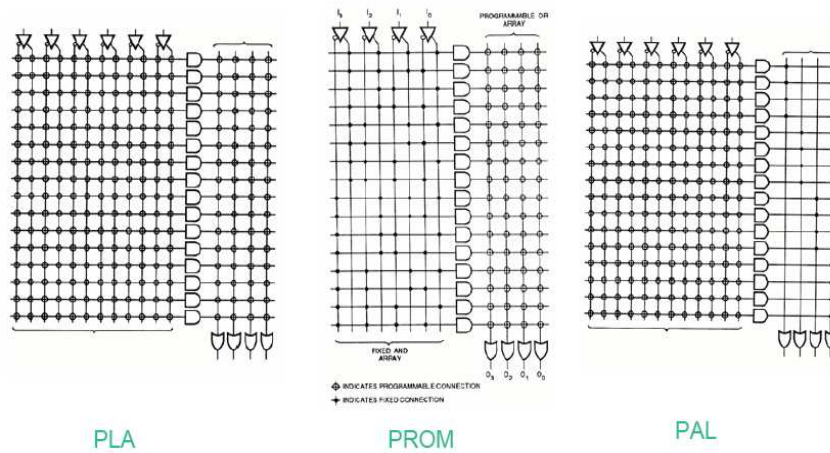
30

## Programabilni logički elementi (PLD):

- PLD: standard ICs available from a catalog, sold in high volume
- May be configured or programmed to create a customized part to a specific application
  - No customized mask layers or logic cell
  - Fast design turnaround

31

## Programabilni logički elementi (PLD):



32



## Programabilni logički elementi (PLD):

- A single large block of programmable interconnect
- A matrix of logic macrocells
- Ex. PROM, EPROM
- PLA:programmable logic array
  - Programmable AND, OR plane
- PAL:programmable array logic
  - Programmable AND, but fixed OR plane

33

## Field-Programmable Gate Arrays, (FPGA):

- None of the mask layers are customized.
- A method for programming the basic logic cells and the interconnect.
- The core is a regular array of programmable basic logic cells that can implement combinational as well as sequential logic (flip-flops).
- A matrix of programmable interconnect surrounds the basic logic cells.
- Programmable I/O cells surround the core.
- Design turnaround is a few hours.

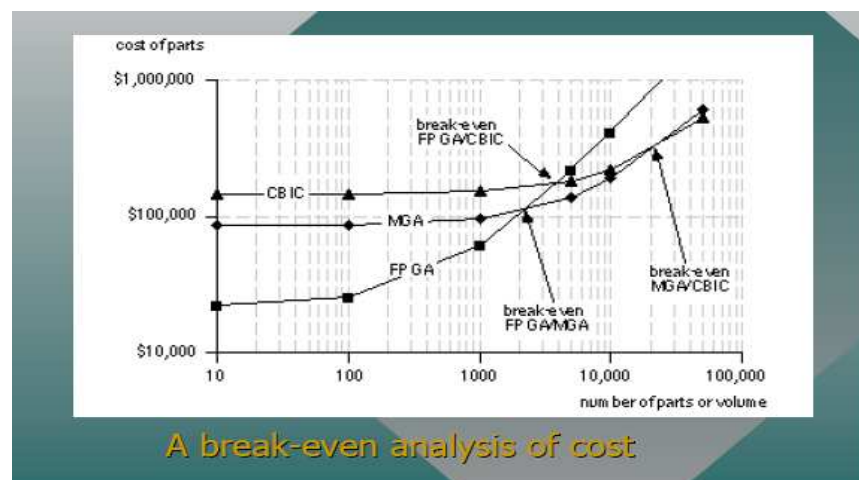
34

## Ekonomski efekti ASIC kola:

- Compare three most popular types of ASICs: FPGA > MGA > CBIC
- Product cost = fixed product cost + variable product cost x products sold
  - Fixed cost: independent of sales volume
  - Variable cost: parts, assembly, manufacturing

35

## Ekonomski efekti ASIC kola:



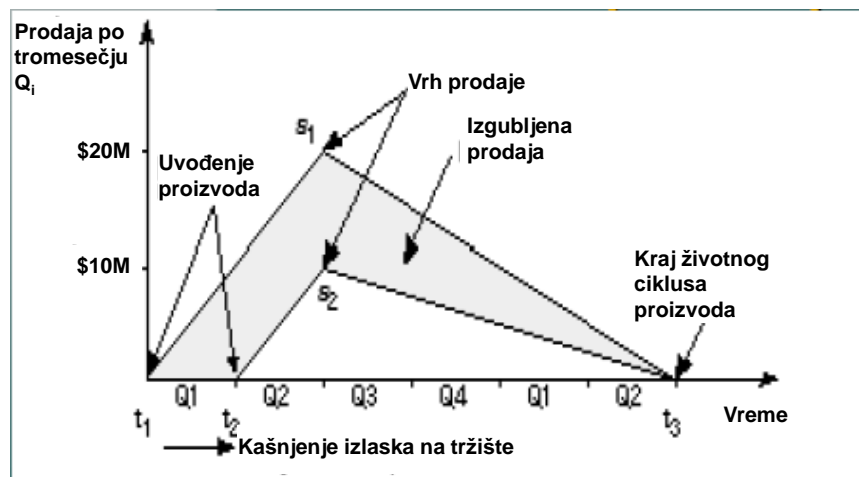
36

## Ekonomski efekti ASIC kola:

	FPGA	MGA	CBIC
Training:	\$800	\$2,000	\$2,000
Days	2	5	5
Cost/day	\$400	\$400	\$400
Hardware	\$10,000	\$10,000	\$10,000
Software	\$1,000	\$20,000	\$40,000
Design:	\$6,000	\$20,000	\$20,000
Size (gates)	10,000	10,000	10,000
Gates/day	500	200	200
Days	20	50	50
Cost/day	\$400	\$400	\$400
Design for test:		\$2,000	\$2,000
Days		5	5
Cost/day		\$400	\$400
NRE:		\$30,000	\$70,000
Masks		\$10,000	\$50,000
Simulation		\$10,000	\$10,000
Test program		\$10,000	\$10,000
Second source:	\$2,000	\$2,000	\$2,000
Days	5	5	5
Cost/day	\$400	\$400	\$400
Total fixed costs	\$21,800	\$86,000	\$146,000

Fixed cost for FPGA, MGA, CBIC

## Ekonomski efekti ASIC kola - model profita:



## Ekonomski efekti ASIC kola - Različite cene FPGA,MGA,CBIC:

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6	6 inches
Wafer cost	1,400	1,300	1,500	\$
Design	10,000	10,000	10,000	gates
Density	10,000	20,000	25,000	gates/sq.cm
Utilization	60	85	100	%
Die size	1.67	0.59	0.40	sq.cm
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00	defects/sq.cm
Yield	65	72	80	%
Die cost	25	7	5	\$
Profit margin	60	45	50	%
Price/gate	0.39	0.10	0.08	cents
Part cost	\$39	\$10	\$8	

## Ekonomski efekti ASIC kola - Različite cene FPGA,MGA,CBIC:

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6	6 inches
Wafer cost	1,400	1,300	1,500	\$
Design	10,000	10,000	10,000	gates
Density	10,000	20,000	25,000	gates/sq.cm
Utilization	60	85	100	%
Die size	1.67	0.59	0.40	sq.cm
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00	defects/sq.cm
Yield	65	72	80	%
Die cost	25	7	5	\$
Profit margin	60	45	50	%
Price/gate	0.39	0.10	0.08	cents
Part cost	\$39	\$10	\$8	

## **Biblioteke ćelija za ASIC kola:**

### **Programabilna FPGA:**

- Biblioteka se isporučuje samo kao projektna oprema.

### **MGA i CBIC:**

- Prodavac ASIC kola: projektni alati priznati od strane prodavca
- Prodavac biblioteke: Zasnovano na procesu pravljenja
- Izradjena od strane projektanta: većina biblioteka ćelija

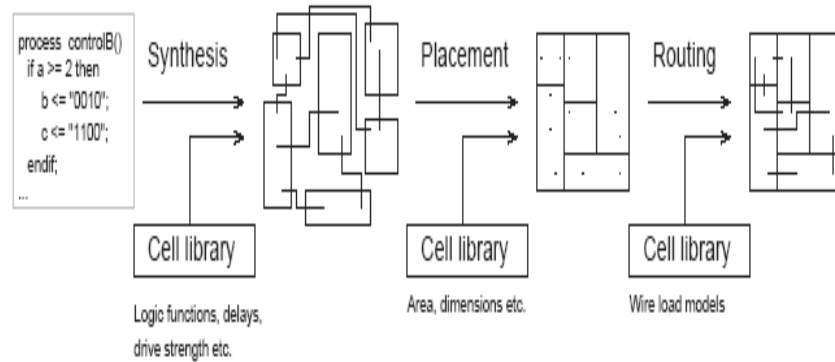
41

## **Biblioteka ćelija ASIC kola mora da sadrži:**

- fizički layout
- model ponašanja
- Verilog/VHDL model
- detaljni vremenski model
- strategiju testiranja
- šemu kola
- ikonu ćelije
- model opterećenja
- model trasiranja veza
- statičku potrošnju energije

42

## Sinteza, razmeštanje i trasiranje koristeći podatke iz biblioteke ćelija:



43

## Podaci u opisu ćelije:

Skalarne veličine:

- površina ćelije
- srednja snaga curenja
- logička funkcija
- maksimalna kapacitivnost

44

## Podaci u opisu ćelije:

Lookup tabele:

- Snaga curenja koja zavisi od ulaza
- Snaga prekidanja, i na rastućoj i na opadajućoj ivici
- Kašnjenje prednje i zadnje ivice izlaza
- Vreme uspostavljanja prednje i zadnje ivice izlaza

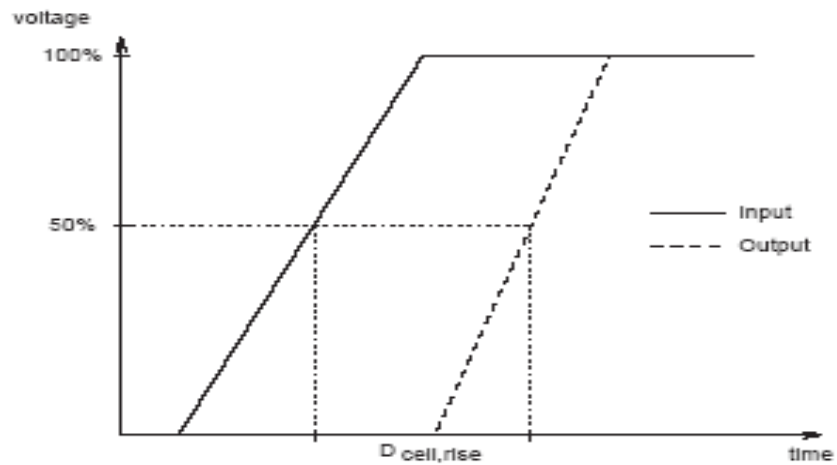
45

## Modelovanje kašnjenja u biblioteci ćelija:

- Kašnjenje ćelije,  $D_{\text{cell}}$ , je vreme koje protekne od trenutka kada ulazni napon dostigne 50% konačne vrednosti, do trenutka kada izlazni napon dostigne 50% konačne vrednosti.
- Kašnjenje veze,  $D_{\text{wire}}$ , ćelije zavisi od ukupne kapacitivnosti izlaza.

46

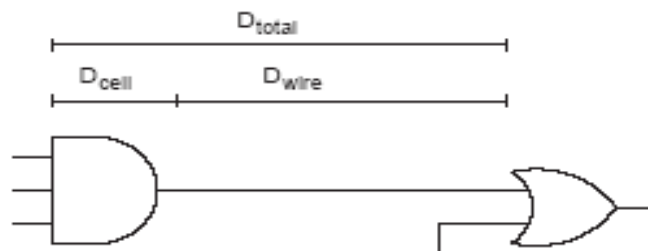
## Vreme porasta za ćeliju:



47

## Modelovanje kašnjenja u biblioteci ćelija:

$$D_{total} = D_{cell} + D_{wire}$$



48

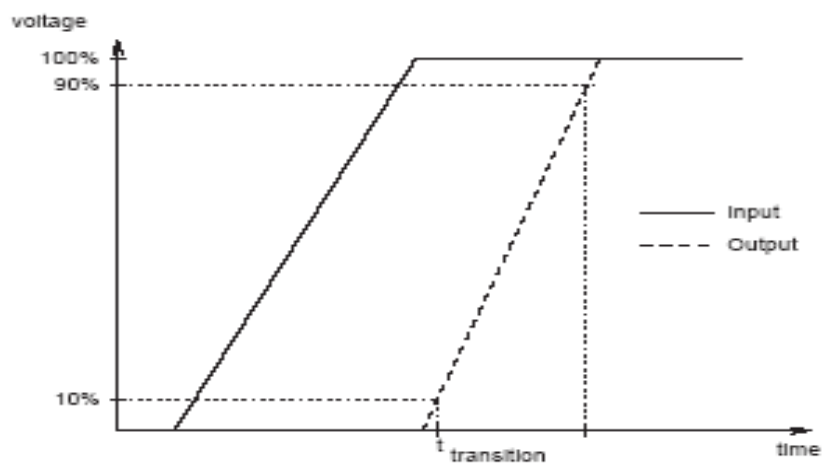


## Kašnjenje prostiranja:

- The propagation delay depends on the slope of the input value transition and the total capacitance on the output. The lookup tables for gate delay is therefore a table with capacitance and input value transition slope as parameters.

49

## Tranziciono vreme ćelije:



50

## Kašnjenje na vezama

- Kašnjenje veza čita se iz lookup tabela sa otpornošću i kapacitivnošću kao parametrima. Postoji više modela opterećenja veze kojima se modeluje različite dužine veza i njihovih kapacitivnih opterećenja.
- Statistički modeli koji zavise od oblasti veze koriste se za odabiranje modela koji će biti korišćen za svaku vezu.
- Naknadno uvođenje stvarne dužine veze popravlja tačnost modela i sve dok se to ne obavi, modeli kašnjenja zasnovani su na statističkim i potencijalno konzervativnim modelima veza.

51

## Ukupno kašnjenje:

**Izračunavanje ukupnog kašnjenja realizuje se u tri koraka:**

- 1. Izračunati ukupnu izlaznu kapacitivnost:  
kapacitivnost veze + ukupna ulazna kapacitivnost  
gejta**
- 2. očitati rise/fall-time ćelije koristeći izračunatu izlaznu  
kapacitivnost i ulazno vreme prelaza kao parametre**
- 3. Dodati kašnjenje veze. Ono se izračunava  
dodavanjem modela opterećenja veze na izlazni  
prelaz.**

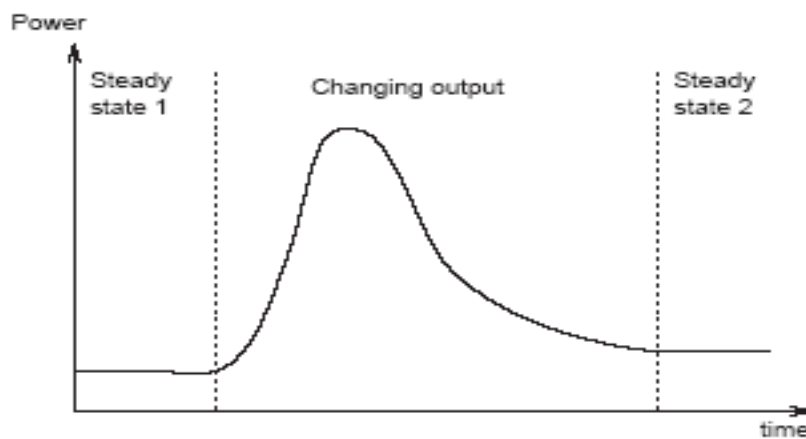
52

## Modelovanje snage u biblioteci ćelija:

- Modelovanje snage disipacije u biblioteci ćelija vrši se deljenjem u tri kategorije:
- snaga curenja zavisna od ulaza (input dependent leakage,  $P_{leak}$ ),
- dinamička prekidačka snaga (dynamic switching power,  $P_{dyn,int}$ ) i
- dinamička snaga punjenja i pražnjenja izlaznih kapacitivnosti (dynamic power consumption due to charging and discharging of output capacitances  $P_{dyn,cap}$ ).

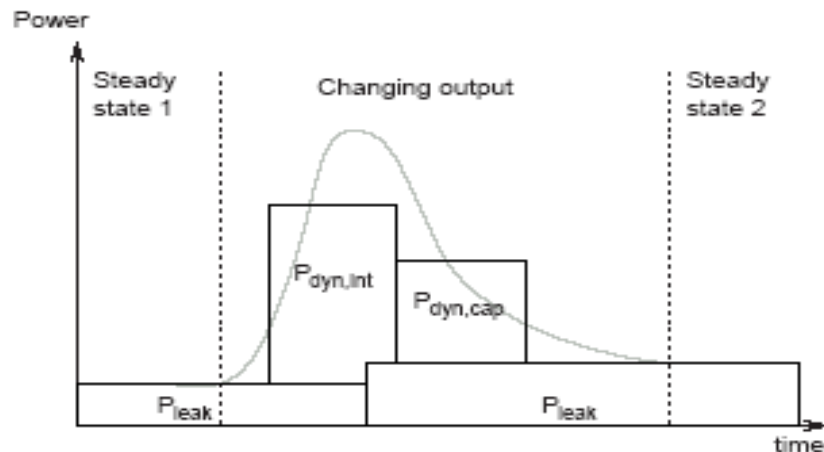
53

## Potrošnja pre, za vreme, i posle promene stanja izlaza:



54

## Predstavljanje potrošnje u biblioteci ćelija:



55

## Modelovanje snage u biblioteci ćelija:

- $$P = P_{leak} + P_{dyn,int} + P_{dyn,cap} =$$

$$h(v_{i,0}, v_{i,1} \dots) + E_{switch} * TR + E_{cap} * TR$$
- $h$  je funkcija snage curenja ulaza koja zavisi od stanja ulaza, gde  $v_{i,j}$  je  $j$ ta ulazna vrednost  $i$ te ćelije. Ova vrednost čita se iz lookup tabele snage curenja zavisne od stanja ulaza (*leakage\_power*). Ako su nepoznate vrednosti ulaza, koriste se pretpostavljene (default) vrednosti.

56

## Modelovanje snage u biblioteci ćelija:

- *Eswitch* je energija potrebna da bi se promenilo izlazno stanje zbog promene ulaznog stanja. Ova vrednost očitava se iz lookup tabela za snagu rastuće i snagu opadajuće ivice (*rise\_power*, *fall\_power*). Unutrašnja potrošnja snage zavisi od vremena prelaza ulaza i od ukupne izlazne kapacitivnosti, koji su parametri za lookup tabele.

57

## Modelovanje snage u biblioteci ćelija:

- Zadnja komponenta je *P<sub>dyn,cap</sub>* koja zavisi samo od izlazne kapacitivnosti. Ovaj faktor se dodaje u *Eswitch* iz praktičnih razloga.

58

## **Modelovanje snage u biblioteci ćelija:**

**Računa se u tri koraka za svaku ćeliju:**

- 1. Kada se na ulazu javi promena: definisati koji izlaz će imati promenu i uočiti potrošnju snage za tu promenu.**
- 2. Zatim, uočiti cureću snagu koju izazivaju oba ulazna vektora i dodati srednju vrednost ukupnoj potrošnji snage.**
- 3. Ako nema promene ulaznog napona, uočiti curenje ćelije i dodati ga ukupnoj potrošnji snage.**

59